

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] Especially this invention relates to the image pck-up equipment and the image pck-up system which share an amplification means among two or more photoelectrical transducers with respect to image pck-up equipment and an image pck-up system.

[0002]

[Description of the Prior Art] Conventionally, there are some which are called BASIS (Base Store Image Sensor) and CMOS sensor in the image pck-up equipment which has a gain cell or APS (Active Pixel Sensor).

[0003] These amplify the signal charge accumulated at the photo diode which is an optoelectric transducer with each method, and read it as image information. Since a means to amplify a signal charge exists in each pixel, it is called a gain cell or APS.

[0004] Since APS has an amplification means (amplifier) in a pixel, the rate (rate of area) for which it accounts to the pixel of a photoelectrical transducer, or the rate (numerical aperture) for which it accounts to the pixel of the field as for which light carries out incidence tends to become small. Therefore, the dynamic range of image pck-up equipment, sensitivity, a S/N ratio, etc. have a possibility of falling.

[0005] As a method of preventing decline in the rate of area by the amplification means, and a numerical aperture, a composition which shares one amplification means between two or more photoelectrical transducers is proposed so that JP,63-100879,A or JP,9-46596,A may see.

[0006] Drawing 17 is drawing showing the pixel composition. In drawing 17, the photo diode from which PD1 and PD2 become a photoelectrical transducer, the MOS transistor for a transfer from which MTX41 and MTX42 become the transfer switch which transmits the signal charge accumulated at photo diodes PD1 and PD2, the MOS transistor for reset from which MRES serves as a reset switch, MSF, and MSEL are MOS transistors which constitute an amplification means (source follower), and MSEL is a transistor for selection used as the selecting switch which chooses a pixel. In this pixel composition, MOS transistor MRES for reset, MOS transistor MSF for amplification, and the transistor MSEL for selection are shared by two photo diodes PD1 and PD2.

[0007]

[Problem(s) to be Solved by the Invention] In the pixel composition of drawing 17, since Transistors MRES, MSF, and MSEL are shared compared with the case where 1 pixel is constituted from one photo diode PD, the number of the transistors which constitute a unit cell (2 pixels) is decreasing from the $4 \times 2 = 8$ piece to five pieces.

[0008] However, the degree of the reduction of the number of the wiring between cells which accesses a unit cell is unsatisfactory in four horizontal lines and one vertical line (a total of 5) from one horizontal line $3 \times 2 = 6$ vertical line (a total of 7) (MOS transistor MRES for reset and the control wiring of the transistor MSEL for selection of one only decrease at a time). Especially the wiring between cells exists in the upper layer of the semiconductor chip which constitutes image pck-up equipment, and since it is formed in the metal layer of nontransparent nature which turns into a shading layer to the incidence of picture light, it becomes the cause of reducing a numerical aperture.

Moreover, the line of a layout rule and the value of a space will be large, and increase of a wiring number will disadvantageously the layer which is up from a bird clapper to size reduction of a unit cell or a unit pixel.

[0009] this invention aims at securing a numerical aperture and making reduction-ization of a pixel size easy by removing an above-mentioned technical problem and decreasing wiring, especially the horizontal number of wiring

[0010]

[Means for Solving the Problem and its Function] The image pck-up equipment of this invention is characterized by the threshold voltage of the transfer switch for transmitting the signal from the aforementioned photoelectrical transducer to the aforementioned amplification means differing between each photoelectrical transducer in the image pck-up equipment with which two or more unit cells which have the amplification means shared between two or more

photoelectrical transducers and two or more of these photoelectrical transducers were arranged.

[0011] Moreover, the image pick-up equipment of this invention is characterized by using the transistor of a conductivity type which is different by at least two photoelectrical transducers as a transfer switch for transmitting a signal from the aforementioned photoelectrical transducer to the aforementioned amplification means in the image pick-up equipment with which two or more unit cells which have the amplification means shared between two or more photoelectrical transducers and two or more of these photoelectrical transducers were arranged.

[0012] By communalizing the wiring which makes it flow through a transfer switch among two or more transfer switches, this invention decreases the number of horizontal wiring. It is adoption of two or more transistors from which two or more transistors from which ternary-izing of signal level and two or more values-ization are performed and a conductivity type differs as a means of communalization, or threshold voltage differs.

[0013]

[Example] Hereafter, the example of this invention is explained in detail using a drawing.

(The 1st example) The circuit diagram of the unit cell (2 pixels) of the image pick-up equipment which is the 1st example of this invention is shown in drawing 1.

[0014] In drawing 1, they are photo diode and the transistor for a transfer from which PD1 and PD2 are set to MTX1 and MTX2 set it a transfer switch. The transistor MTX1 for a transfer is NMOSFET whose threshold voltage is 4V, and the transistor MTX2 for a transfer is PMOSFET whose threshold voltage is -4V. Both the gates of the transistor MTX1 and MTX2 for a transfer are horizontal scanning line ϕ_{TXO} . It connects. Moreover, it is the transistor for selection from which MSF serves as source FOROWA amplifier (transistor for amplification), and MSEL serves as selecting switch, and the source FOROWA amplifier MSF and the transistor MSEL for selection constitute an amplification means (source follower). The transistor MSEL for selection is connected to the horizontal scanning line by which control signal ϕ_{ISO} is impressed.

[0015] Operation of the unit cell of the above-mentioned image pick-up equipment is explained below using drawing 1 and drawing 2. Drawing 2 is the rough block diagram showing the example of 1 composition of image pick-up equipment. The dashed line section in drawing 2 shows the unit cell of drawing 1.

[0016] In advance of photoelectrical load accumulation, the gate electrode of photo diodes PD1 and PD2 and the source FOROWA amplifier MSF is reset on predetermined voltage. Reset-signal ϕ_{TXR} If +5V, MOS transistor MRES for reset will flow and the gate electrode of the source FOROWA amplifier MSF will be set to +5V of supply voltage VDD.

[0017] Subsequently, if control signal ϕ_{TXO} is set to +5V, the transistor MTX1 for a transfer which is NMOSFET will open, and bias of the photo diode PD 1 will be carried out to the value of supply voltage VDD. Subsequently, ϕ_{TXO} If 0V, shortly, the transistor MTX2 for a transfer which is PMOSFET will open, and photo diode PD 2 will serve as a value of supply voltage VDD similarly.

[0018] Subsequently, ϕ_{TXO} It sets to 2.5V which are middle potential. The flow of the transistors MTX1 and MTX2 for a transfer is interrupted by it, and photo diodes PD1 and PD2 are held at a reverse bias state.

[0019] A signal charge is accumulated in photo diodes PD [PD1 and] 2 as light carries out incidence. After fixed time, it is ϕ_{TXO} . It is referred to as +5V, the transistor MTX1 for a transfer which is NMOSFET is opened, and the signal charge in photo diode PD 1 is transmitted to the gate of the source FOROWA amplifier MSF. Subsequently, scanning signal ϕ_{ISO} is set to 5V, and it is made to flow through the transistor MSEL for selection. The lightwave signal corresponding to the gate potential of the source FOROWA amplifier MSF is changed into the current which flows through the source FOROWA amplifier MSF from a power supply VDD, and is carried to a storage capacitance CTS 1 from the perpendicular output line VL 1 temporarily.

[0020] Then, ϕ_{TXO} If 0V, the transistor MTX1 for a transfer will close, the transistor MTX2 for a transfer which is PMOSFET will open shortly, and the signal charge in photo diode PD 2 will be transmitted to the gate of the source FOROWA amplifier MSF. Hereafter, the current signal corresponding to the signal charge in photo diode PD 2 is carried to a storage capacitance CTS 2 from the perpendicular output line VL 1 in the same operation temporarily.

[0021] In addition, before reading a signal out of photo diodes PD [PD1 and] 2, respectively, the gate of the source FOROWA amplifier MSF is reset, the residual charge is read as a noise, and it accumulates to storage capacitances CTN1 and CTN2 temporarily, respectively. The signal accumulated to storage capacitances CTS1 and CTS2 temporarily and the noise accumulated to storage capacitances CTN1 and CTN2 temporarily are transmitted to a level output line. Subtraction with a signal and a noise is performed by the output amplifier A1, the signal S1 with which the noise from photo diode PD 1 was removed is outputted, subtraction with a signal and a noise is performed by the output amplifier A2, and the signal S2 with which the noise from photo diode PD 2 was removed is outputted.

[0022] According to this example, since the transistors MTX1 and MTX2 for a transfer are controllable by wiring alone, the number of a horizontal scanning line can be decreased by one rather than the conventional example. Reduction-ization of the area of a unit cell becomes easy by it, and a numerical aperture also improves.

[0023] The timing chart of operation of the unit cell of drawing 1 and the image pck-up equipment of drawing 2 is shown in drawing 3.

[0024] First, read-out operation of a unit cell is performed during the level blanking (H-BLK), and ϕ_{TXR} , ϕ_{ISO} , and ϕ_{IN1} are made high-level in T1 period, and the gate section of the source FOROWA amplifier MSF is reset, and it outputs to a storage capacitance CTN1 by making the residual voltage into a noise VN1 temporarily.

[0025] Next, it is ϕ_{TXO} to T2 period. By making high-level 5V, ϕ_{ISO} , and ϕ_{S1} , the photo-electric-translation signal of photo diode PD 1 is transmitted to the gate section of source FOROWA amplifier, and it outputs to a storage capacitance CTS 1 by making the signal level into a signal VS 1 temporarily.

[0026] Next, ϕ_{TXR} , ϕ_{ISO} , and ϕ_{IN2} are made high-level in T3 period, and the gate section of the source FOROWA amplifier MSF is reset, and it outputs to a storage capacitance CTN2 by making the residual voltage into noise VN2 temporarily.

[0027] Next, it is ϕ_{TXO} to T4 period. By making high-level 0V, ϕ_{ISO} , and ϕ_{S2} , the photo-electric-translation signal of photo diode PD 2 is transmitted to the gate section of source FOROWA amplifier, and it outputs to a storage capacitance CTS 2 by making the signal level into a signal VS 2 temporarily.

[0028] Subtraction with a signal and a noise is performed by the output amplifier A1 and A2, and an above-mentioned noise and an above-mentioned signal are outputted as signals S1 and S2 with which the noise was removed.

[0029] Although the example explained above is an example which two photoelectrical transducers are connected to the source FOROWA amplifier MSF, and constitutes a unit cell, this invention can be applied, when it connects with the source FOROWA amplifier MSF and three or more photoelectrical transducers constitute a unit cell.

[0030] The representative circuit schematic of a unit cell (4 pixels) by which four photoelectrical transducers were connected to drawing 4 and drawing 5 at the source FOROWA amplifier MSF is shown.

[0031] Drawing 4 is the example view of connection into which V_{th} of a transfer switch was changed by the vertical pixel, and drawing 5 is the example view of connection into which V_{th} of a transfer switch was changed by the horizontal pixel.

(The 2nd example) The circuit diagram of the unit cell (2 pixels) of the image pck-up equipment which is the 2nd example of this invention is shown in drawing 6. The same sign is attached about the same composition member as the composition member of drawing 1, and explanation is omitted.

[0032] As a transistor for a transfer which serves as a transfer switch in the 1st example mentioned above, NMOSFE which uses NMOSFET and PMOSFET and from which threshold voltage differs as a transistor for a transfer in this example is used.

[0033] That is, in this example, the transistor MTX11 for a transfer is NMOSFET of threshold voltage 1.0V, the transistor MTX12 for the transfer gates is NMOSFET of threshold voltage 3.0V, and both gate electrodes are connected to the common horizontal scanning line by which control signal ϕ_{TXO} is impressed.

[0034] Operation of this example is explained below.

[0035] About the lightwave signal charge accumulated to photo diode PD 1, it is ϕ_{TXO} . It is referred to as +2V, the transistor MTX11 for a transfer (transfer gate) is opened, and it transmits to the gate of the source FOROWA amplifier MSF. that time -- a signal transfer -- a signal charge -- on the way -- it is the full transfer which is not come out of and lost -- as -- the voltage between the gates of photo diode PD 1 and the source FOROWA amplifier MSF - 5 -- a certain thing is [about V] desirable

[0036] After reading the signal corresponding to the signal charge transmitted to the gate of the source FOROWA amplifier MSF from photo diode PD 1 from the perpendicular signal line VL 1 like the 1st example, the transistor MRES for reset is opened, and it is VR to photo diode PD 1. +1V are impressed from a terminal, photo diode PD 1 changed into a reverse bias state, and a signal charge is emptied.

[0037] Subsequently, the transistor MTX11 for a transfer is closed, +6V are impressed to the gate of the source FOROWA amplifier MSF, and a reset action is performed. Subsequently, ϕ_{TXO} It is referred to as 5V and the transistors MTX11 and MTX12 for a transfer are opened simultaneously. Since the photoelectrical load accumulate at photo diode PD 2 is transmitted in full transfer mode, it does not flow backwards to photo diode PD 1, and is altogether transmitted to the gate of the source FOROWA amplifier MSF. The following operation reads the signal corresponding to the signal charge transmitted to the gate of the source FOROWA amplifier MSF from photo diode PD 2 from the perpendicular signal line VL 1 like the 1st example.

[0038] According to this example, although limited with PD1 ->PD2, since MOSFET used for the transistor for a transfer (transfer gate) is the same conductivity type, the sequence which reads a lightwave signal charge does not need excessive area, such as a well, but its degree of integration improves. If a blue filter (red) and the green filter to photo diode PD 2 are generally arranged to the photo diode PD 1 with few amounts of signals in the case of a color sensor, the influence in which the signal of photo diode PD 1 overflows and carries out color mixture to photo diode

PD 2 will decrease. Moreover, signal addition between pixels (equalization) can be easily performed by impressing voltage which opens simultaneously the transistors MTX1 and MTX2 for both transfers.

[0039] In addition, before reading a signal out of photo diodes PD [PD1 and] 2, respectively, it is the same as that a previous example to reset the gate of the source follower amplifier MSF, to read the residual charge as a noise, and to accumulate to storage capacitances CTN1 and CTN2 temporarily, respectively. However, before reading a noise N2, making potential of the aforementioned photo diode PD 1 into the potential which trouble does not produce in PD2 read-out is called for.

[0040] The timing chart of the unit cell of the above-mentioned example is shown in drawing 7.

[0041] First, phiTXR is made high-level, (VR=)+6V are impressed to T1 period and the gate section of the source FOROWA amplifier MSF is reset in it. It outputs to a storage capacitance CTN1 by making the residual voltage into noise VN1 temporarily.

[0042] Next, the lightwave signal charge which impressed +2V to phiTXO, opened the transistor MTX1 for a transfer, and was accumulated to photo diode PD 1 in T2 period is transmitted to the gate of the source FOROWA amplifier MSF, and it outputs to a storage capacitance CTS 1 by making the signal level into a signal VS 1 temporarily.

[0043] Next, phiTXR is made high-level in T3 period, the transistor MRES for reset is opened, and it is VR to photo diode PD 1. +1V are impressed from a terminal, photo diode PD 1 is changed into a reverse bias state, and a signal charge is emptied.

[0044] Next, the aforementioned transistor MTX1 for a transfer is closed, only the gate section of the source follow amplifier MSF is reset, and it outputs to a storage capacitance CTN2 by making voltage which remains into a noise VN2 temporarily in T4 period.

[0045] Next, the transistors MTX11 and MTX12 for a transfer are opened simultaneously in T5 period, using phiTX as +5V. Since the photoelectrical load accumulated at photo diode PD 2 as mentioned above is transmitted in full transfer mode, it does not flow backwards to photo diode PD 1, is altogether transmitted to the gate of the source FOROWA amplifier MSF, and is outputted to a storage capacitance CTS 2 by making the signal level into a signal VS 2 temporarily.

[0046] Here, the example of representation of the drain voltage-drain current characteristic of MOSFET used for the transistor for a transfer is shown in drawing 8.

[0047] Drawing 8's showing is flowing also in less than [threshold voltage 3.0V] in the field of width of face whos sub threshold level current's is about 1V. Moreover, the leakage current is flowing in the bottom of it.

(The 3rd example) The circuit of the unit cell (2 pixels) of the image pck-up equipment which is the 3rd example of this invention is shown in drawing 9. The same sign is attached about the same composition member as the composition member of drawing 6, and explanation is omitted.

[0048] The transfer switch MTS used as the 2nd transfer switch is inserted in series between the transistors MTX1 and MTX2 for a transfer which serve as a transfer switch in this example, and the gate of the source FOROWA amplifier MSF. Threshold voltage is NMOSFET which is 1.0V, and the transfer switch MTS is connected to the horizontal scanning line by which signal phiSO is added.

[0049] In this example, even if it is in the transistor MTX1 for a transfer which has low threshold voltage 1.0V that sub threshold level current or a leakage current flows temporarily, unless the transfer switch MTS opens, current do not flow into the gate of the source FOROWA amplifier MSF, and maintenance of the lightwave signal charge in photo diode PD 1 is secured.

[0050] In addition, although this example is an example in case two photoelectrical transducers share amplifier, this invention is not limited to this example, but can be applied also to the image pck-up equipment which shares amplifier between three or more photoelectrical transducers.

(The 4th example) The circuit of the unit cell (3 pixels) of the image pck-up equipment which is the 4th example of this invention is shown in drawing 10. The same sign is attached about the same composition member as the composition member of drawing 6, and explanation is omitted.

[0051] Photo diode PD 1 is photo diode which is a R-pixel photo detector, and the photo diode whose photo diode P 2 is a G-pixel photo detector, and photo diode PD 3 are photo diodes which are B-pixel photo detectors. The conversion efficiency at the time of the white light incidence of each photo diodes PD1, PD2, and PD3 is respective set up to 30%, 59%, and 11% also including the transparency efficiency of a light filter. Moreover, the threshold voltage of NMOSFET which constitutes the transistors MTX21-MTX23 for a transfer is 1.0V, 2.5V, and 4.0V respectively. Moreover, this example has the transfer switch MTS connected to the horizontal scanning line by whic phiSO is added like the 3rd example.

[0052] In this example, in addition to each usual pixel read-out, Above R and G and a B3 pixel signal can be read simultaneously, can be added, and the luminance signal of NTSC can also be obtained. Namely, signal phiTXO add

to a horizontal scanning line The signal charge accumulated to each photoelectrical transducer (photo diodes PD1, PD2, and PD3) is simultaneously read by being referred to as +5V and opening simultaneously the transistors MTX21-MTX23 for a transfer.

[0053] The luminance signal of NTSC can be obtained without requiring a complicated circuit especially according to this example.

(The 5th example) The circuit of the unit cell (4 pixels) of the image pick-up equipment of the image pick-up equipment which is the 5th example of this invention is shown in drawing 11 . The same sign is attached about the same composition member as the composition member of drawing 6 , and explanation is omitted.

[0054] In drawing 11 , MTX31-MTX34 are the transistors for a transfer, and each threshold voltage is 1.0V, 2.0V, 3.0V, and 4.0V. In this example, a signal charge is read one by one in order of photo diodes PD1, PD2, PD3, and PD4.

[0055] In this example, the signal charge of the pixel group corresponding to two-line two trains can be read by few number called three horizontal lines.

[0056] In the above, although each example of the image pick-up equipment of this invention was explained, it explains, contrasting with the conventional example next about an example of the concrete layout pattern of the unit cell of the image pick-up equipment of this invention.

[0057] Drawing 12 and drawing 13 are layout patterns of a unit cell which share amplifier between two photoelectrical transducers, and the layout pattern corresponding to the conventional example of drawing 17 in drawing 12 and drawing 13 are the layout patterns corresponding to the 2nd example of drawing 6 .

[0058] The diffusion field where 100 constitutes a perpendicular output line and 101 constitutes photo diode PD 1 in drawing 12 , The diffusion field where 102 constitutes the gate electrode of the transistor MTX41 for a transfer, and 103 constitutes photo diode PD 2, The gate electrode of the transistor MTX42 for a transfer and 105 104 The gate electrode of the transistor MSEL for selection, The gate electrode of the source FOROWA amplifier MSF and 107 106 The gate electrode of the transistor MRES for reset, The control line to which, as for 108, control signal phiTXOO of the transistor for a transfer of the photo diode of odd lines is impressed, The control line to which, as for 109, control signal phiTXRO of the transistor for reset is impressed, the control line to which, as for 110, control signal phiSO of the transistor MSEL for selection is impressed, and 111 are the control lines to which control signal phiTXOe of the transistor for a transfer of the photo diode of even lines is impressed.

[0059] The diffusion field where 200 constitutes a perpendicular output line and 201 constitutes [in / drawing 13 / o the other hand] photo diode PD 1, The diffusion field where 202 constitutes the gate electrode of the transistor MTX11 for a transfer, and 203 constitutes photo diode PD 2, The gate electrode of the transistor MTX12 for a transfer and 205 204 The gate electrode of the transistor MSEL for selection, The gate electrode of the source FOROWA amplifier MSF and 207 206 The gate electrode of the transistor MRES for reset, The control line to which as for 208, control signal phiTXO of the transistor for a transfer of photo diode is impressed, the control line to which as for 209, control signal phiTXRO of the transistor for reset is impressed, and 210 are the control lines to which control signal phiSO of the transistor MSEL for selection is impressed.

[0060] At drawing 13 which shows the example of this invention, the control line connected with the transistor for a transfer of photo diode ends by one (the conventional example 2) so that clearly from contrast with drawing 12 and drawing 13 .

[0061] It is a layout pattern corresponding to [drawing 14 and drawing 15 are layout patterns of a unit cell which share amplifier between four photoelectrical transducers, and / corresponding to the layout pattern of the convention example in drawing 14] the 5th example of drawing 11 in drawing 15 .

[0062] The diffusion field where 300 constitutes a perpendicular output line and 301,303,305,307 constitutes four photo diodes in drawing 14 , respectively, The gate electrode of the transistor MTX for a transfer corresponding to each photo diode in 302,304,306,308, The gate electrode of the transistor MSEL for selection and 310 309 The gate electrode of the source FOROWA amplifier MSF, The control line [electrode / gate / of the transistor MRES for reset] to which 311 is impressed and, as for 312-315, control signal phiTX1 of the transistor for a transfer - phiTX4 are impressed, The control line to which, as for 316, control signal phiTXR of the transistor for reset is impressed, and 317 are the control lines to which control signal phiSO of the transistor MSEL for selection is impressed.

[0063] The diffusion field where 400 constitutes a perpendicular output line and 401,403,405,407 constitutes [in / drawing 15 / on the other hand] four photo diodes PD1-PD4, respectively, The gate electrode of the transistors MTX31-MTX34 for a transfer corresponding to each photo diodes PD1-PD4 in 402,404,406,408, The gate electrode of the transistor MSEL for selection and 410 409 The gate electrode of the source FOROWA amplifier MSF, The control line [electrode / gate / of the transistor MRES for reset] to which 411 is impressed and, as for 412, control signal phiTX of the transistor for a transfer is impressed, The control line to which, as for 413, control signal phiTX of the transistor for reset is impressed, and 414 are the control lines to which control signal phiSO of the transistor

MSEL for selection is impressed.

[0064] At drawing 15 which shows the example of this invention, the control line connected with the transistor for a transfer of photo diode ends by one (the conventional example 4) so that clearly from contrast with drawing 14 and drawing 15.

[0065] An image pick-up system-outline view is shown in drawing 16. As shown in this drawing, image formation of the picture light which carried out incidence through optical system 71 and drawing 80 is carried out on the CMOS sensor 72. Optical information is changed into an electrical signal by the pixel array arranged on the CMOS sensor 72, and noise rejection is carried out, and it is outputted. By the method beforehand determined by the digital disposal circuit 73, signal transformation processing is carried out and the output signal is outputted. the signal by which sign processing was carried out -- a recording system and the communication system 74 -- an information recording device -- record -- or information transfer is carried out The signal recorded or transmitted is reproduced by the reversion system 77. Drawing 80, the CMOS sensor 72, and a digital disposal circuit 73 are controlled by the timing-control circuit 75, and optical system 71, the timing-control circuit 75, a recording system and a communication system 74, and a reversion system 77 are controlled by the system-control circuit 76.

[0066]

[Effect of the Invention] As explained above, according to this invention, the horizontal number of wiring can be decreased, a numerical aperture can improve as a result, and the image pick-up equipment suitable for pixel reduction can be offered.

[Translation done.]

#6

PAT-NO: JP02000152086A
DOCUMENT-IDENTIFIER: JP 2000152086 A
TITLE: IMAGE PICKUP DEVICE AND IMAGE PICKUP
SYSTEM
PUBN-DATE: May 30, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
HASHIMOTO, SEIJI	N/A
HOSHI, JUNICHI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
CANON INC	N/A

APPL-NO: JP10320530

APPL-DATE: November 11, 1998

INT-CL (IPC): H04N005/335, H01L027/146 , H04N009/07

ABSTRACT:

PROBLEM TO BE SOLVED: To reduce the number of wirings in the horizontal direction and to secure an opening ratio.

SOLUTION: In an image pickup device where plural unit cells each of which is provided with plural photoelectric conversion parts PD and amplification means MSF and MSEL shared among plural photoelectric conversion parts are arranged, threshold voltages of transfer switches MTX to transfer the signals from photoelectric conversion parts to amplification means are different among respective photoelectric conversion parts, or transistors

different between at
least two photoelectric conversion parts by conduction
types are used as
transfer switches MTX to transfer the signals from
photoelectric conversion
parts to amplification means.

COPYRIGHT: (C) 2000, JPO

(11)特許出願公開番号
特開2000-152086
(P2000-152086A)

(51)Int.Cl.	識別記号	F I	マークト (参考)
H 0 4 N 5/335		H 0 4 N 5/335	E 4 M 1 1 8
			P 5 C 0 2 4
H 0 1 L 27/146		9/07	A 5 C 0 6 5
H 0 4 N 9/07		H 0 1 L 27/14	A

(21)出願番号 特願平10-320530

(22)出願日 平成10年11月11日(1998. 11. 11)

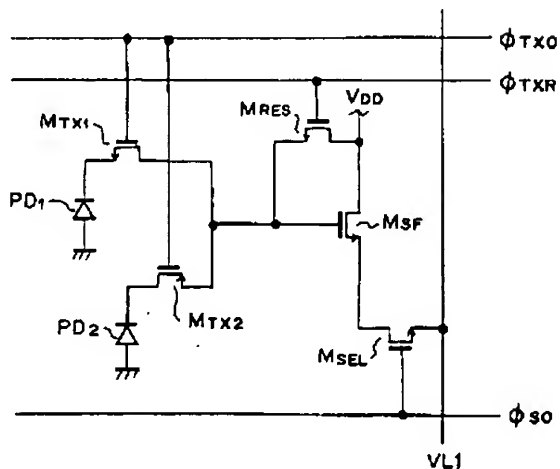
(71)出願人 000001007
キヤノン株式会社
東京都大田区下丸子3丁目30番2号

(72)発明者 橋本 誠二
東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72)発明者 星 淳一
東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74)代理人 100065385
弁理士 山下 穰平

【解決手段】 複数の光電変換部PDと該複数の光電変換部と共有される増幅手段MSF、MSELとを有する単位セルが複数配列された撮像装置において、光電変換部からの信号を増幅手段に転送するための転送スイッチMTXのしきい電圧が各光電変換部間で異なっている、又は光電変換部からの信号を増幅手段に転送するための転送スイッチMTXとして、少なくとも二つの光電変換部と異なる導電型のトランジスタを用いた。



【特許請求の範囲】

【請求項1】 複数の光電変換部と該複数の光電変換部で共有される増幅手段とを有する単位セルが複数配列された撮像装置において、前記光電変換部からの信号を前記増幅手段に転送するための転送スイッチのしきい電圧が各光電変換部間で異なっていることを特徴とする撮像装置。

【請求項2】 複数の光電変換部と該複数の光電変換部で共有される増幅手段とを有する単位セルが複数配列された撮像装置において、前記光電変換部からの信号を前記増幅手段に転送するための転送スイッチとして、少なくとも二つの光電変換部で異なる導電型のトランジスタを用いたことを特徴とする撮像装置。

【請求項3】 請求項2に記載の撮像装置において、前記転送スイッチは、複数の同じ導電型のトランジスタを含み、該同じ導電型のトランジスタ間でしきい電圧が異なっていることを特徴とする撮像装置。

【請求項4】 請求項1～3のいずれかの請求項に記載の撮像装置において、前記転送スイッチはMOSFETであることを特徴とする撮像装置。

【請求項5】 請求項1～4のいずれかの請求項に記載の撮像装置において、前記転送スイッチの制御電極は同一の水平配線に接続されていることを特徴とする撮像装置。

【請求項6】 請求項1～5のいずれかの請求項に記載の撮像装置において、前記転送スイッチと前記増幅手段との間に第2の転送スイッチが設けられ、該第2の転送スイッチの制御電極は、前記増幅手段からの出力を垂直出力線へと選択的に出力するための水平選択線に接続されていることを特徴とする撮像装置。

【請求項7】 請求項1～6のいずれかの請求項に記載の撮像装置において、前記増幅手段に共有される光電変換部の数は三つであり、これら三つの光電変換部からの信号が前記増幅手段において加算可能であることを特徴とする撮像装置。

【請求項8】 請求項7に記載の撮像装置において、前記三つの光電変換部からは異なる色信号が出力され、三つの色信号が混色して白を形成する色信号が形成されることを特徴とする撮像装置。

【請求項9】 請求項8に記載の撮像装置において、前記三つの光電変換部からの色信号を前記増幅手段において加算し、輝度信号を出力することを特徴とする撮像装置。

【請求項10】 請求項1～9のいずれかの請求項に記載の撮像装置において、前記光電変換部に色フィルタを配置したことを特徴とする撮像装置。

【請求項11】 請求項1～10のいずれかの請求項に記載の撮像装置と、前記撮像装置へ光を結像するレンズと、前記撮像装置からの出力信号を処理する信号処理回

路とを有することを特徴とする撮像システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は撮像装置および撮像システムに係わり、特に増幅手段を複数の光電変換部間で共有する撮像装置および撮像システムに関するものである。

【0002】

【従来の技術】従来、ゲインセル、あるいはAPS (Active Pixel Sensor) を有する撮像装置には、BASIS (Base Store Image Sensor)、CMOSセンサーと呼ばれるものがある。

【0003】これらは光電変換素子であるホトダイオードに蓄積された信号電荷を各々の方式によって増幅し、画像情報として読み出すものである。信号電荷を増幅する手段は各々の画素中に存在するため、ゲインセルあるいはAPSと呼ばれている。

【0004】APSは画素中に増幅手段(アンプ)を有するため、光電変換部の画素に占める割合(面積率)、あるいは、光が入射する領域の画素に占める割合(開口率)は小さくなりがちである。従って撮像装置のダイナミックレンジ、感度、S/N比等は低下する恐れがある。

【0005】増幅手段による面積率、開口率の低下を防ぐ方法として、例えば特開昭63-100879号公報あるいは特開平9-46596号公報に見られるように、複数の光電変換部で1つの増幅手段を共有する構成が提案されている。

【0006】図17はその画素構成を示す図である。図17において、PD1、PD2は光電変換部となるホトダイオード、MTX41、MTX42はホトダイオードPD1、PD2に蓄積された信号電荷を転送する転送スイッチとなる転送用MOSトランジスタ、MRESはリセットスイッチとなるリセット用MOSトランジスタ、MSF、MSELは増幅手段(ソースフォロフ)を構成するMOSトランジスタであり、MSELは画素を選択する選択スイッチとなる選択用トランジスタである。この画素構成においては、リセット用MOSトランジスタMRES、増幅用MOSトランジスタMSF、選択用トランジスタMSELは二つのホトダイオードPD1、PD2で共有されている。

【0007】

【発明が解決しようとする課題】図17の画素構成においては、一つのホトダイオードPDで一画素を構成する場合に比べ、トランジスタMRES、MSF、MSELが共有されるので、単位セル(2画素分)を構成するトランジスタの数は、 $4 \times 2 = 8$ 個から5個へと減少している。

【0008】しかしながら、単位セルにアクセスするセル間配線の本数は、水平線 $3 \times 2 = 6$ 本、垂直線1本(合計7本)から水平線4本、垂直線1本(合計5本)へと、その減少の度合は今ひとつである(リセット用M

OSTランジスタMRES、選択用ランジスタMSELの制御配線が1本づつ減るだけである)。特にセル間の配線は、撮像装置を構成する半導体チップの上方の層に存在し、画像光の入射に対して遮光層となる非透過性の金属層で形成されていることから、開口率を低下させる原因となる。また、上方に有る層ほどレイアウトルールラインアンドスペースの値が大きくなることから、配線本数の増大は単位セルあるいは単位画素の寸法縮小に対しては不利に働くことになる。

【0009】本発明は上述の課題を除去するものであり、配線、特に水平方向の配線数を減少させることによって、開口率を確保し、また画素大きさの縮小化を容易とすることを目的とする。

【0010】

【課題を解決するための手段および作用】本発明の撮像装置は、複数の光電変換部と該複数の光電変換部で共有される増幅手段とを有する単位セルが複数配列された撮像装置において、前記光電変換部からの信号を前記増幅手段に転送するための転送スイッチのしきい電圧が各光電変換部間で異なっていることを特徴とする。

【0011】また本発明の撮像装置は、複数の光電変換部と該複数の光電変換部で共有される増幅手段とを有する単位セルが複数配列された撮像装置において、前記光電変換部からの信号を前記増幅手段に転送するための転送スイッチとして、少なくとも二つの光電変換部で異なる導電型のランジスタを用いたことを特徴とする。

【0012】本発明は転送スイッチを導通させる配線を複数の転送スイッチ間で共通化することによって、水平方向の配線の本数を減少させるものである。共通化の手段としては、信号レベルの三値化、複数値化を行い、導電型の異なる複数のランジスタあるいはスレッシュ

【0013】

【実施例】以下、本発明の実施例について図面を用いて詳細に説明する。

(第1実施例) 図1に本発明の第1実施例である、撮像装置の単位セル(2画素分)の回路図を示す。

【0014】図1において、PD1、PD2はホトダイオード、MTX1、MTX2は転送スイッチとなる転送用ランジスタである。転送用ランジスタMTX1はスレッシュ

【0015】上記撮像装置の単位セルの動作を図1及び図2を用いて以下に説明する。図2は撮像装置の一構成例を示す概略的構成図である。図2中の破線部は図1の単位セルを示している。

【0016】光電荷蓄積に先立って、ホトダイオードPD1、PD2とソースフォロワンプMSFのゲート電極を所定の電圧にリセットする。リセット信号φTXRを+5Vとすると、リセット用MOSTランジスタMRESは導通し、ソースフォロワンプMSFのゲート電極は電源電圧VDDの+5Vとなる。

【0017】次いで制御信号φTX0を+5Vとすると、NMOSFETである転送用ランジスタMTX1が開き、ホトダイオードPD1が電源電圧VDDの値にバイアスされる。次いでφTX0を0Vとすると、今度はPMOSFETである転送用ランジスタMTX2が開き、ホトダイオードPD2が同様に電源電圧VDDの値となる。

【0018】次いでφTX0を中間電位である2.5Vにセットする。それによって転送用ランジスタMTX1、MTX2の導通は中断され、ホトダイオードPD1、PD2は逆バイアス状態に保持される。

【0019】光が入射するに従ってホトダイオードPD1、PD2中に信号電荷が蓄積する。一定時間後に、φTX0を+5Vとし、NMOSFETである転送用ランジスタMTX1を開き、ホトダイオードPD1中の信号電荷をソースフォロワンプMSFのゲートへと転送する。次いで走査信号φS0を5Vとし、選択用ランジスタMSELを導通させる。ソースフォロワンプMSFのゲート電位に対応する光信号は電源VDDからソースフォロワンプMSFを通して流れる電流に変換され、垂直出力線VL1から一時蓄積容量CTS1へ運ばれる。

【0020】その後、φTX0を0Vとすると、転送用ランジスタMTX1が閉じ、今度はPMOSFETである転送用ランジスタMTX2が開き、ホトダイオードPD2中の信号電荷をソースフォロワンプMSFのゲートへと転送する。以下、同様の動作でホトダイオードPD2中の信号電荷に対応する電流信号が垂直出力線VL1から一時蓄積容量CTS2へ運ばれる。

【0021】なお、ホトダイオードPD1、PD2中からそれぞれ信号を読み出す前に、ソースフォロワンプMSFのゲートをリセットし、その残留電荷をノイズとして読み出し、それぞれ一時蓄積容量CTN1、CTN2へ蓄積する。一時蓄積容量CTS1、CTS2へ蓄積された信号、一時蓄積容量CTN1、CTN2へ蓄積されたノイズは水平出力線に転送される。出力アンプA1で信号とノイズとの減算が行われ、ホトダイオードPD1からのノイズが除去された信号S1が出力され、出力アンプA2で信号とノイズとの減算が行われ、ホトダイオードPD2からのノイズが除去された信号S2が出力される。

【0022】本実施例によれば、転送用ランジスタMTX1、MTX2を1本の配線で制御することができるので、

水平走査線の本数を従来例よりも1本減少させることができる。それによって単位セルの面積の縮小化が容易となり、また開口率も向上する。

【0023】図1及び図2の撮像装置の単位セルの動作のタイミングチャートを図3に示す。

【0024】水平ブランキング期間(H・BLK)に単位セルの読み出し動作が行われ、まず、T1期間に ϕTXR 、 $\phi S0$ 、 $\phi N1$ をハイレベルとし、ソースフォロワアンプMSFのゲート部をリセットしその残留電圧をノイズVN1として一時蓄積容量CTN1に出力する。

【0025】次にT2期間に $\phi TX0$ を5V、 $\phi S0$ 、 $\phi S1$ をハイレベルにすることによってホトダイオードPD1の光電変換信号をソースフォロワアンプのゲート部に転送し、その信号電圧を信号VS1として一時蓄積容量CTS1に出力する。

【0026】次にT3期間に ϕTXR 、 $\phi S0$ 、 $\phi N2$ をハイレベルとし、ソースフォロワアンプMSFのゲート部をリセットしその残留電圧をノイズVN2として一時蓄積容量CTN2に出力する。

【0027】次にT4期間に $\phi TX0$ を0V、 $\phi S0$ 、 $\phi S2$ をハイレベルにすることによってホトダイオードPD2の光電変換信号をソースフォロワアンプのゲート部に転送し、その信号電圧を信号VS2として一時蓄積容量CTS2に出力する。

【0028】上記のノイズと信号は、出力アンプA1、A2で信号とノイズとの減算が行われ、ノイズが除去された信号S1、S2として出力される。

【0029】以上説明した実施例はソースフォロワアンプMSFに2つの光電変換部が接続されて単位セルを構成する例であるが、3以上の光電変換部がソースフォロワアンプMSFに接続されて単位セルを構成する場合にも本発明は適用できる。

【0030】図4及び図5にソースフォロワアンプMSFに4つの光電変換部が接続された単位セル(4画素)の等価回路図を示す。

【0031】図4は垂直方向の画素で転送スイッチのVthを変えた接続例図であり、図5は水平方向の画素で転送スイッチのVthを変えた接続例図である。

(第2実施例) 本発明の第2実施例である撮像装置の単位セル(2画素分)の回路図を図6に示す。図1の構成部材と同一構成部材については同一符号を付して説明を省略する。

【0032】上述した第1実施例では転送スイッチとなる転送用トランジスタとして、NMOSFET、PMOSFETを用いている、本実施例では転送用トランジスタとして、スレッシュホールド電圧の異なるNMOSFETを用いる。

【0033】すなわち本実施例では、転送用トランジスタMTX11は、スレッシュホールド電圧1.0VのNMOSFETであり、転送ゲート用トランジスタMTX12は、スレ

ッシュホールド電圧3.0VのNMOSFETであり、ともにゲート電極が制御信号 $\phi TX0$ が印加される共通の水平走査線に接続されている。

【0034】本実施例の動作を以下に説明する。

【0035】ホトダイオードPD1に蓄積した光信号電荷を、 $\phi TX0$ を+2Vとして、転送用トランジスタ(転送ゲート)MTX11を開いてソースフォロワアンプMSFのゲートへと転送する。その際、信号転送が信号電荷を途中で失わない完全転送であるように、ホトダイオードPD1とソースフォロワアンプMSFのゲート間の電圧は5V程度あることが望ましい。

【0036】ホトダイオードPD1からソースフォロワアンプMSFのゲートに転送された信号電荷に対応する信号を、第1実施例と同様に垂直信号線VL1から読み出した後に、リセット用トランジスタMRESを開いて、ホトダイオードPD1にVR端子から+1Vを印加し、ホトダイオードPD1を逆バイアス状態にし、信号電荷を空にする。

【0037】次いで転送用トランジスタMTX11を閉じて、ソースフォロワアンプMSFのゲートに+6Vを印加してリセット動作を行う。次いで $\phi TX0$ を5Vとして、転送用トランジスタMTX11及びMTX12を同時に開く。ホトダイオードPD2に蓄積された光電荷は、完全転送モードで転送されるため、ホトダイオードPD1に逆流することはなく、全てソースフォロワアンプMSFのゲートに転送される。以下の動作は第1実施例と同様に、ホトダイオードPD2からソースフォロワアンプMSFのゲートに転送された信号電荷に対応する信号を垂直信号線VL1から読み出す。

【0038】本実施例によれば、光信号電荷を読み出す順序はPD1→PD2と限定されるものの、転送用トランジスタ(転送ゲート)に使用するMOSFETが同一導電型であるために、ウェル等の余分な面積を必要とせず、集積度が向上する。カラーセンサの場合、一般的に信号量の少ないホトダイオードPD1に青のフィルタ(赤)、ホトダイオードPD2に緑のフィルタを配置すれば、ホトダイオードPD1の信号がホトダイオードPD2へオーバーフローして混色する影響は少なくなる。また、両転送用トランジスタMTX1、MTX2を同時に開くような電圧を印加することによって、容易に画素間の信号加算(平均化)を行うようにすることができる。

【0039】なお、ホトダイオードPD1、PD2中からそれぞれ信号を読み出す前に、ソースフォロワアンプMSFのゲートをリセットし、その残留電荷をノイズとして読み出し、それぞれ一時蓄積容量CTN1、CTN2へ蓄積するのは先の実施例と同様である。ただし、ノイズVN2を読み出す前に、前記ホトダイオードPD1の電位をPD2読み出しに支障が生じない電位にしておくことが求められる。

【0040】図7に上記実施例の単位セルのタイミング

図を示す。

【0041】まず、T1期間に、 ϕ_{TXR} をハイレベルとし、ソースフォロワンプMSFのゲート部を($V_R=$) +6Vを印加してリセットする。その残留電圧をノイズVN1として一時蓄積容量CTN1に出力する。

【0042】次にT2期間に、 ϕ_{TX0} に+2Vを印加して、転送用トランジスタMTX1を開いてホトダイオードPD1に蓄積した光信号電荷を、ソースフォロワンプMSFのゲートへと転送し、その信号電圧を信号VS1として一時蓄積容量CTS1に出力する。

【0043】次にT3期間に、 ϕ_{TXR} をハイレベルとし、リセット用トランジスタMRESを開いて、ホトダイオードPD1に V_R 端子から+1Vを印加し、ホトダイオードPD1を逆バイアス状態にし、信号電荷を空にする。

【0044】次に、T4期間に、前記転送用トランジスタMTX1を閉じて、ソースフォロアンプMSFのゲート部のみをリセットし、残留する電圧をノイズVN2として一時蓄積容量CTN2に出力する。

【0045】次に、T5期間に、 ϕ_{TX0} を+5Vとして、転送用トランジスタMTX11及びMTX12を同時に開く。上述したようにホトダイオードPD2に蓄積された光電荷は、完全転送モードで転送されるため、ホトダイオードPD1に逆流することはなく、全てソースフォロワンプMSFのゲートに転送され、その信号電圧を信号VS2として一時蓄積容量CTS2に出力する。

【0046】ここで、転送用トランジスタに使用されるMOSFETのドレイン電圧-ドレイン電流特性の代表例を図8に示す。

【0047】図8から判ることは、スレッシュホールド電圧3.0V以下においてもサブスレッシュホールド電流が約1Vの幅の領域で流れることである。またその下にはリーク電流が流れている。

(第3実施例) 図9に本発明の第3実施例である撮像装置の単位セル(2画素分)の回路を示す。図6の構成部材と同一構成部材については同一符号を付して説明を省略する。

【0048】本実施例においては転送スイッチとなる転送用トランジスタMTX1、MTX2とソースフォロワンプMSFのゲートの間に第2の転送スイッチとなる転送スイッチMTSが直列に挿入されている。転送スイッチMTSはスレッシュホールド電圧が1.0VのNMOSFETであり、信号 ϕ_{S0} が加えられる水平走査線に接続されている。

【0049】本実施例においては、低いスレッシュホールド電圧1.0Vを有する転送用トランジスタMTX1に仮にサブスレッシュホールド電流あるいはリーク電流が流れることが有っても、転送スイッチMTSが開かない限りはソースフォロワンプMSFのゲートに電流が流れ込むことはなく、ホトダイオードPD1における光信号電荷の保持が確保される。

【0050】なお本実施例は二つの光電変換部でアンプを共有する場合の例であるが、本発明はかかる例に限定されず、三以上の光電変換部でアンプを共有する撮像装置にも適用可能である。

(第4実施例) 図10に本発明の第4実施例である、撮像装置の単位セル(3画素分)の回路を示す。図6の構成部材と同一構成部材については同一符号を付して説明を省略する。

【0051】ホトダイオードPD1はR画素の受光素子であるホトダイオードであり、ホトダイオードPD2はG画素の受光素子であるホトダイオード、ホトダイオードPD3はB画素の受光素子であるホトダイオードである。各ホトダイオードPD1、PD2、PD3の白色光入射時の変換効率、カラーフィルタの透過効率も含めて、各々30%、59%、11%に設定されている。また転送用トランジスタMTX21~MTX23を構成するNMOSFETのスレッシュホールド電圧は、各々1.0V、2.5V、4.0Vである。また本実施例は第3実施例と同様に ϕ_{S0} が加えられる水平走査線に接続された転送スイッチMTSを有する。

【0052】本実施例においては、通常の各画素読出し以外に、前記R、G、B3画素の信号を同時に読出し、加算してNTSCの輝度信号を得ることもできる。即ち、水平走査線に加えられる信号 ϕ_{TX0} を+5Vとし、転送用トランジスタMTX21~MTX23を同時に開くことによって、各光電変換部(ホトダイオードPD1、PD2、PD3)に蓄積した信号電荷を同時に読み出す。

【0053】本実施例によれば特に複雑な回路を要することなく、NTSCの輝度信号を得ることができる。

(第5実施例) 本発明の第5実施例である、撮像装置の撮像装置の単位セル(4画素分)の回路を図11に示す。図6の構成部材と同一構成部材については同一符号を付して説明を省略する。

【0054】図11において、MTX31~MTX34は転送用トランジスタであり、各々のスレッシュホールド電圧が1.0V、2.0V、3.0V、4.0Vである。本実施例においては信号電荷はホトダイオードPD1、PD2、PD3、PD4の順で順次読出される。

【0055】本実施例においては2行2列に対応する画素群の信号電荷を水平線3本という少ない本数で読み出すことができる。

【0056】以上、本発明の撮像装置の各実施例について説明したが、次に本発明の撮像装置の単位セルの具体的なレイアウト図の一例について従来例と対比しつつ説明する。

【0057】図12及び図13は二つの光電変換部でアンプを共有する単位セルのレイアウト図であり、図12は図17の従来例に対応するレイアウト図、図13は図6の第2実施例に対応するレイアウト図である。

【0058】図12において、100は垂直出力線、1

01はホトダイオードPD1を構成する拡散領域、102は転送用トランジスタMTX41のゲート電極、103はホトダイオードPD2を構成する拡散領域、104は転送用トランジスタMTX42のゲート電極、105は選択用トランジスタMSELのゲート電極、106はソースフォロワアンプMSFのゲート電極、107はリセット用トランジスタMRESのゲート電極、108は奇数行のホトダイオードの転送用トランジスタの制御信号 ϕ_{TX00} が印加される制御線、109はリセット用トランジスタの制御信号 ϕ_{TXR0} が印加される制御線、110は選択用トランジスタMSELの制御信号 ϕ_{S0} が印加される制御線、111は偶数行のホトダイオードの転送用トランジスタの制御信号 ϕ_{TX0e} が印加される制御線である。

【0059】一方、図13において、200は垂直出力線、201はホトダイオードPD1を構成する拡散領域、202は転送用トランジスタMTX11のゲート電極、203はホトダイオードPD2を構成する拡散領域、204は転送用トランジスタMTX12のゲート電極、205は選択用トランジスタMSELのゲート電極、206はソースフォロワアンプMSFのゲート電極、207はリセット用トランジスタMRESのゲート電極、208はホトダイオードの転送用トランジスタの制御信号 ϕ_{TX0} が印加される制御線、209はリセット用トランジスタの制御信号 ϕ_{TXR0} が印加される制御線、210は選択用トランジスタMSELの制御信号 ϕ_{S0} が印加される制御線である。

【0060】図12と図13との対比から明らかなように、本発明の実施例を示す図13ではホトダイオードの転送用トランジスタと接続される制御線が1本（従来例では2本）ですむ。

【0061】図14及び図15は四つの光電変換部でアンプを共有する単位セルのレイアウト図であり、図14は従来例のレイアウト図、図15は図11の第5実施例に対応するレイアウト図である。

【0062】図14において、300は垂直出力線、301、303、305、307はそれぞれ四つのホトダイオードを構成する拡散領域、302、304、306、308は各ホトダイオードに対応する転送用トランジスタMTXのゲート電極、309は選択用トランジスタMSELのゲート電極、310はソースフォロワアンプMSFのゲート電極、311はリセット用トランジスタMRESのゲート電極、312～315は転送用トランジスタの制御信号 ϕ_{TX1} ～ ϕ_{TX4} が印加される制御線、316はリセット用トランジスタの制御信号 ϕ_{TXR} が印加される制御線、317は選択用トランジスタMSELの制御信号 ϕ_{S0} が印加される制御線である。

【0063】一方、図15において、400は垂直出力線、401、403、405、407はそれぞれ四つのホトダイオードPD1～PD4を構成する拡散領域、402、404、406、408は各ホトダイオードPD1

～PD4に対応する転送用トランジスタMTX31～MTX34のゲート電極、409は選択用トランジスタMSELのゲート電極、410はソースフォロワアンプMSFのゲート電極、411はリセット用トランジスタMRESのゲート電極、412は転送用トランジスタの制御信号 ϕ_{TX} が印加される制御線、413はリセット用トランジスタの制御信号 ϕ_{TXR} が印加される制御線、414は選択用トランジスタMSELの制御信号 ϕ_{S0} が印加される制御線である。

【0064】図14と図15との対比から明らかなように、本発明の実施例を示す図15ではホトダイオードの転送用トランジスタと接続される制御線が1本（従来例では4本）ですむ。

【0065】図16に撮像システム概略図を示す。同図に示すように、光学系71、絞り80を通して入射した画像光はCMOSセンサー72上に結像する。CMOSセンサー72上に配置されている画素アレーによって光情報は電気信号へと変換され、ノイズ除去されて出力される。その出力信号は信号処理回路73によって予め決められた方法によって信号変換処理され、出力される。信号処理された信号は、記録系、通信系74により情報記録装置により記録、あるいは情報転送される。記録、あるいは転送された信号は再生系77により再生される。絞り80、CMOSセンサー72、信号処理回路73はタイミング制御回路75により制御され、光学系71、タイミング制御回路75、記録系・通信系74、再生系77はシステムコントロール回路76により制御される。

【0066】

【発明の効果】以上説明したように、本発明によれば、水平方向の配線数を減少させることができ、結果として開口率が向上し、画素縮小化に適した撮像装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の第1実施例である撮像装置の単位セル（2画素分）の回路図である。

【図2】本発明の撮像装置の一構成例を示す概略的構成図である。

【図3】図1及び図2の撮像装置の単位セルの動作のタイミングチャートである。

【図4】垂直方向の画素で転送スイッチの V_{th} を変えた接続例図である。

【図5】水平方向の画素で転送スイッチの V_{th} を変えた接続例図である。

【図6】本発明の第2実施例である撮像装置の単位セル（2画素分）の回路図である。

【図7】上記実施例の単位セルのタイミング図である。

【図8】転送用トランジスタに使用されるMOSFETのドレイン電圧－ドレイン電流特性の代表例である。

【図9】本発明の第3実施例である撮像装置の単位セル

11

(2画素分)の回路図である。

【図10】本発明の第4実施例である撮像装置の単位セル(3画素分)の回路図である。

【図11】本発明の第5実施例である撮像装置の撮像装置の単位セル(4画素分)の回路図である。

【図12】従来例に対応する二つの光電変換部でアンプを共有する単位セルのレイアウト図である。

【図13】図6の実施例に対応する二つの光電変換部でアンプを共有する単位セルのレイアウト図である。

【図14】従来例に対応する四つの光電変換部でアンプを共有する単位セルのレイアウト図である。

【図15】図11の実施例に対応する四つの光電変換部でアンプを共有する単位セルのレイアウト図である。

12

【図16】撮像システム概略図である。

【図17】従来の画素構成を示す図である。

【符号の説明】

PD1~PD4 ホトダイオード

MTX1, MTX2, MTX11, MTX12, MTX21~MTX23, MTX

31~MTX34 転送用トランジスタ(転送スイッチ)

MSF アンプ

MSEL 選択用トランジスタ(選択スイッチ)

MRES リセット用トランジスタ(リセットスイッチ)

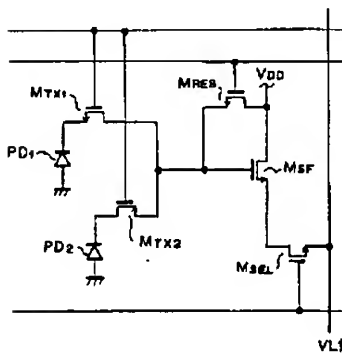
VL1 垂直出力線

208, 412 水平走査線(制御線)

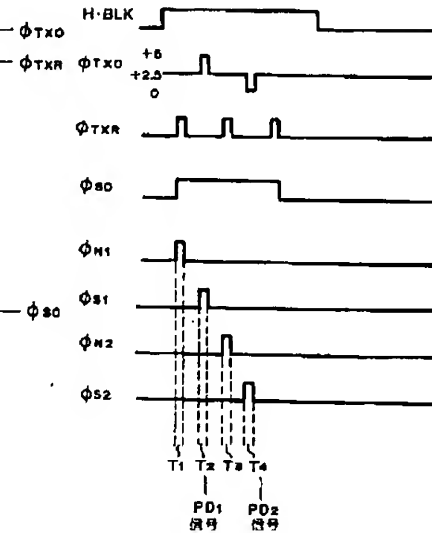
209, 413 リセット線(制御線)

210, 414 選択線(制御線)

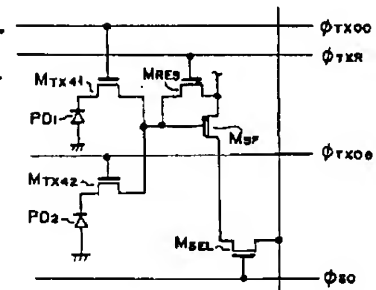
【図1】



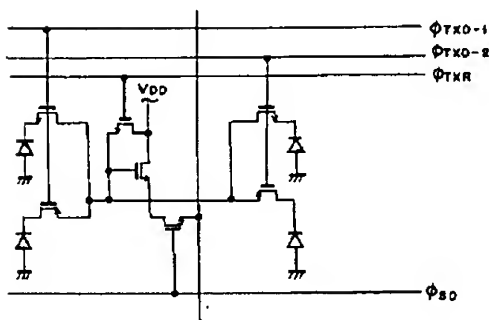
【図3】



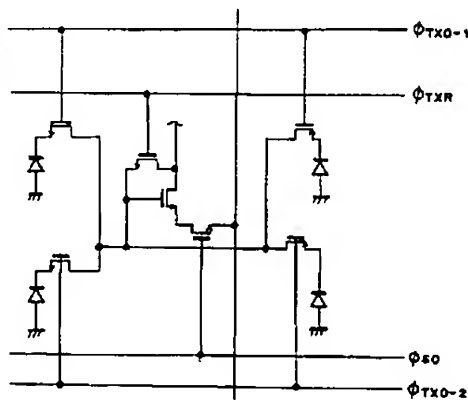
【図17】



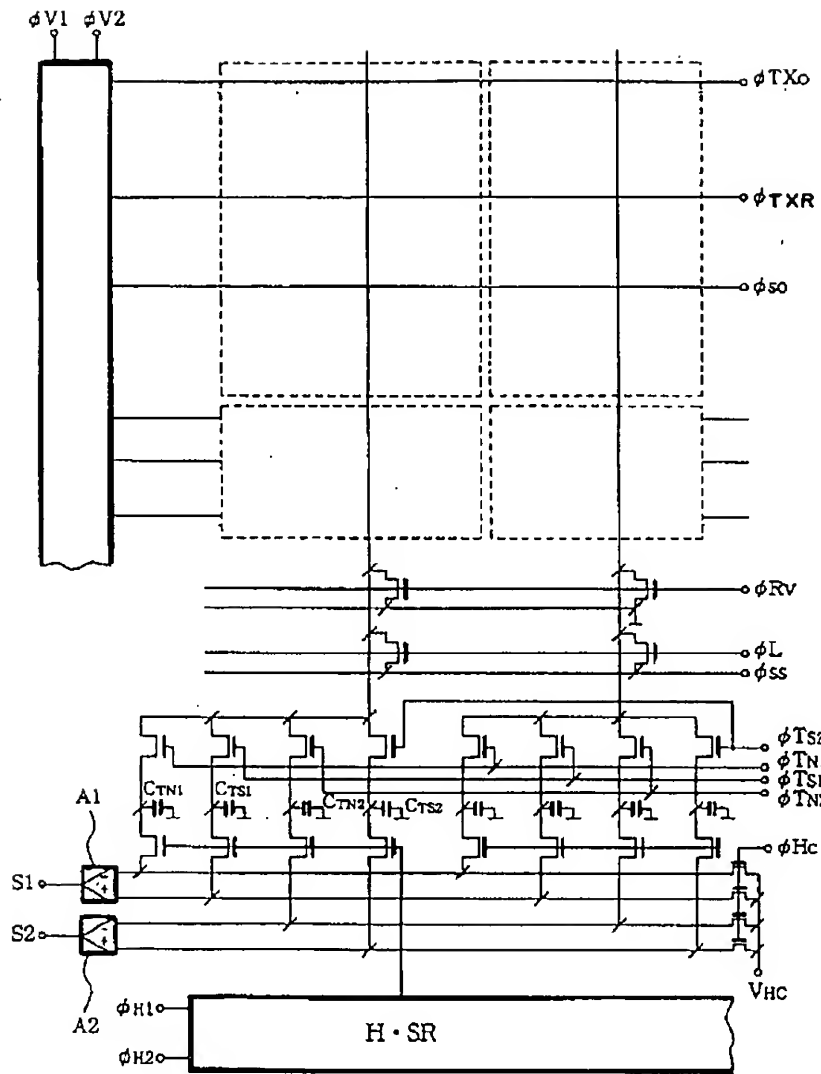
【図4】



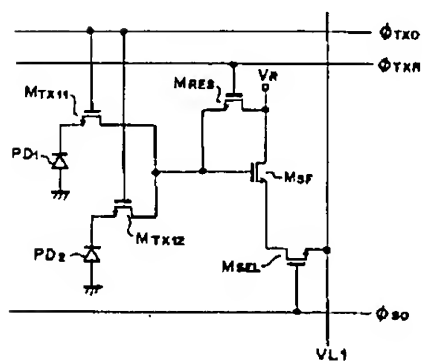
【図5】



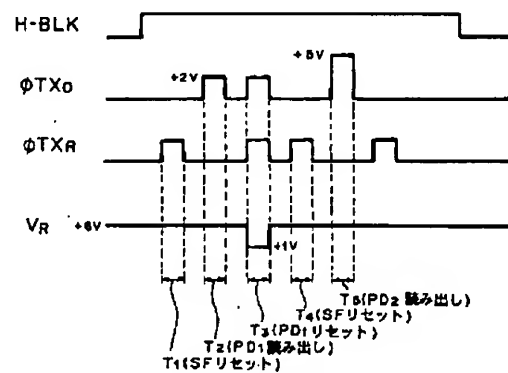
【図2】



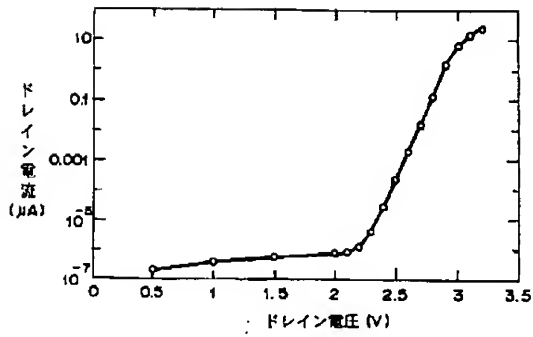
【図6】



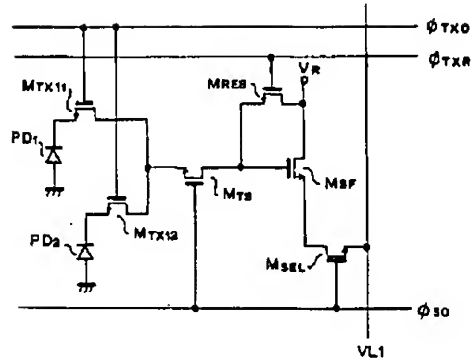
【図7】



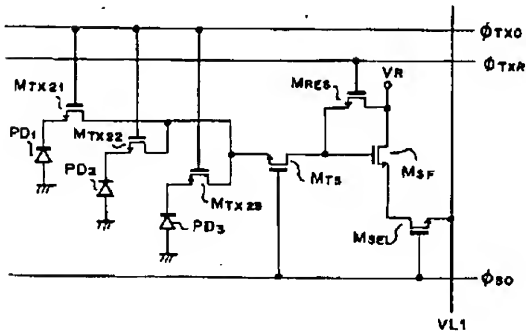
【図8】



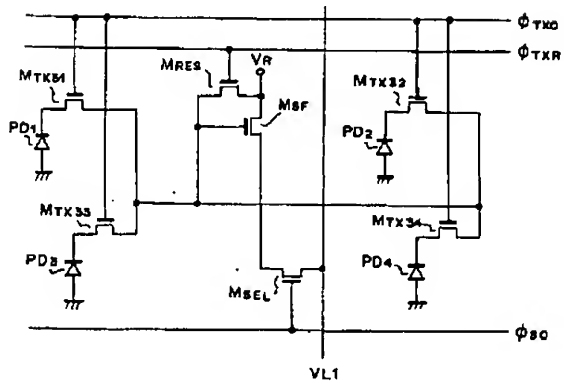
【図9】



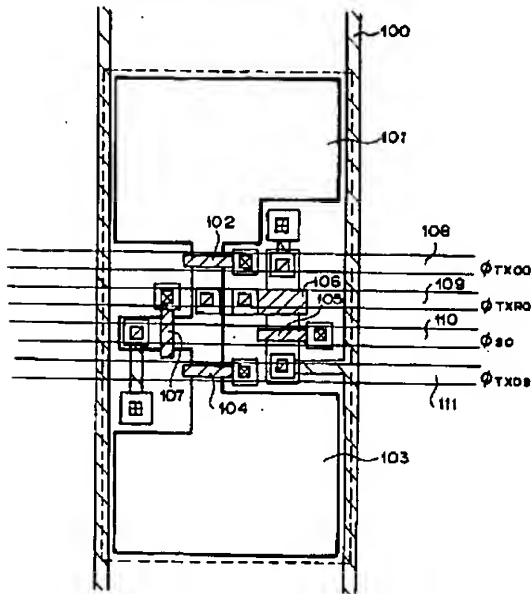
【図10】



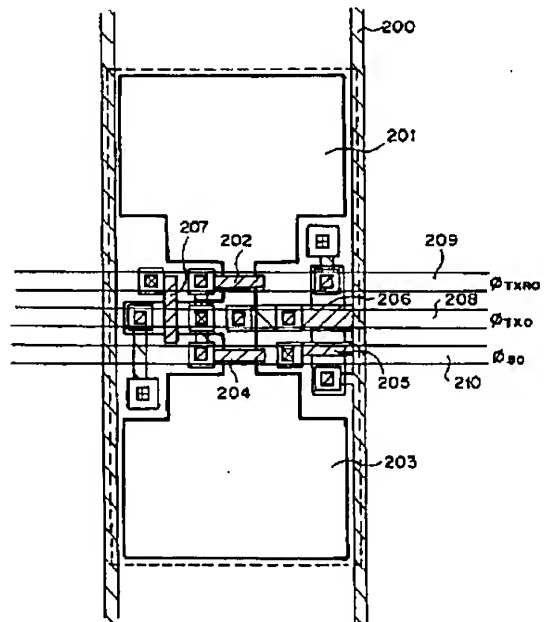
【図11】



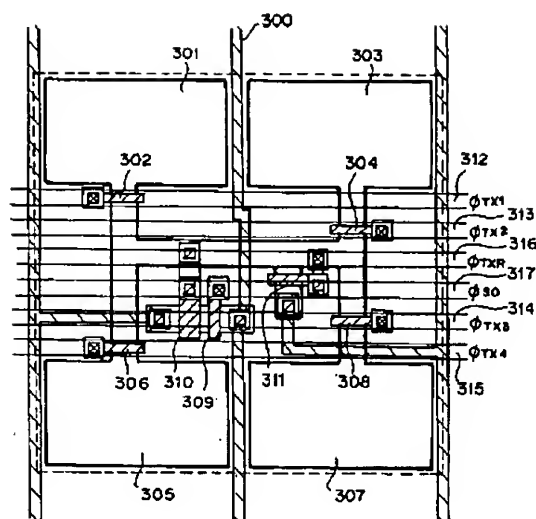
【図12】



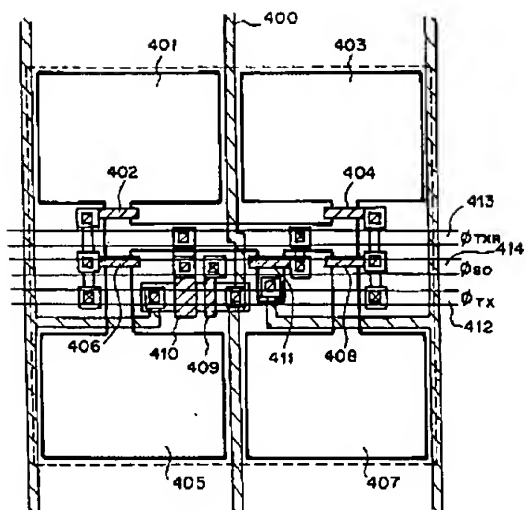
【図13】



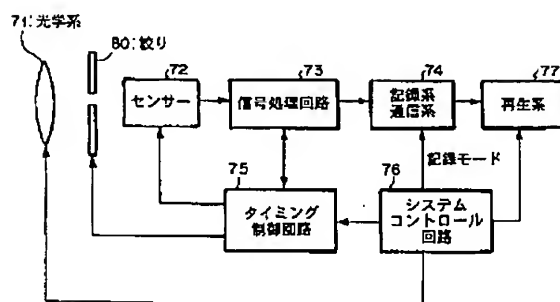
【図14】



【図15】



【図16】



フロントページの続き

Fターム(参考) 4M118 AA01 AA10 AB01 BA14 CA03
 DB01 DD09 DD12 FA06 FA33
 FA42 GC08 GD02
 5C024 AA01 CA05 CA12 CA15 DA01
 FA01 GA01 GA31 JA21
 5C065 AA01 BB22 BB30 BB48 CC01
 DD01 EE03